

**BEST AVAILABLE COPY**  
**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 2000-252480

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

H01L 29/94  
H01L 27/04  
H01L 21/822  
H03B 5/32  
H03H 17/00

(21)Application number : 11-345483

(71)Applicant : INTERCHIP KK

(22)Date of filing : 03.12.1999

(72)Inventor : KAMIYA MASAAKI  
SAITO YUTAKA

(30)Priority

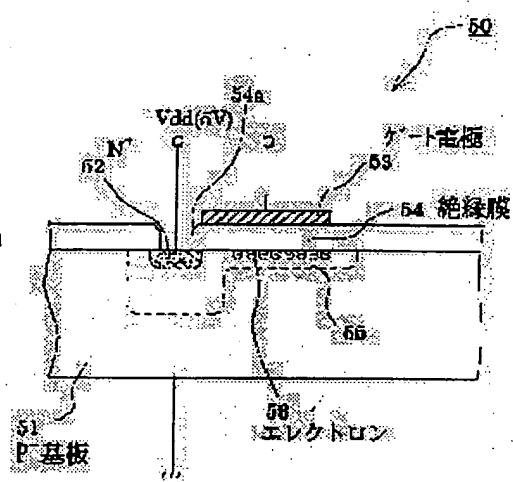
Priority number : 10374448 Priority date : 28.12.1998 Priority country : JP

**(54) MOS CAPACITOR AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a MOS capacitor and the integrated circuit device of a voltage controlled oscillator(VCO) that can vary a wide-range of frequency using the MOS capacitor and can be easily integrated.

**SOLUTION:** In a variable-capacity capacitor, a MOS capacitor is subjected to VCO configuration, where it has a conductor layer 53 that becomes one electrode via a capacity insulation film 54 on a first conductivity type semiconductor region 51 that becomes the other electrode and has a second conductivity type impurity region 52 near a surface close to a region that opposes the conductor layer 53 of the first-conduction-type semiconductor substrate 51.



**LEGAL STATUS**

[Date of request for examination] 24.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-252480

(P2000-252480A)

(43)公開日 平成12年9月14日(2000.9.14)

(51)Int.Cl.  
H 01 L 29/94  
27/04  
21/822  
H 03 B 5/32  
H 03 H 17/00  
識別記号  
6 2 1

F I  
H 01 L 29/94  
H 03 B 5/32  
H 03 H 17/00  
H 01 L 27/04  
Z  
A  
6 2 1 C  
C

審査請求 未請求 請求項の数15 OL (全 9 頁)

(21)出願番号 特願平11-345483  
(22)出願日 平成11年12月3日(1999.12.3)  
(31)優先権主張番号 特願平10-374448  
(32)優先日 平成10年12月28日(1998.12.28)  
(33)優先権主張国 日本 (JP)

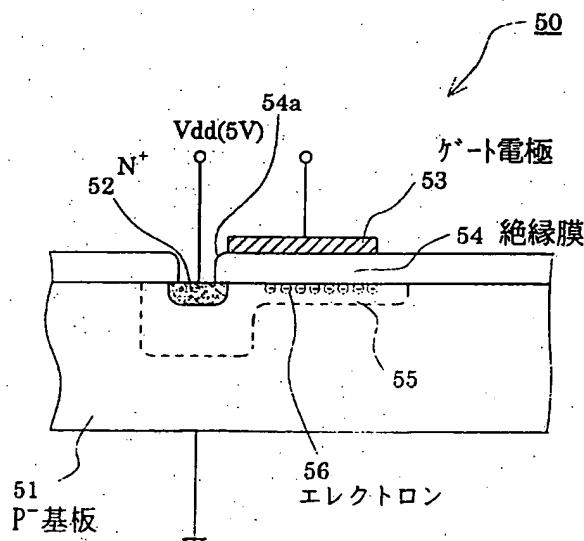
(71)出願人 398069894  
インターチップ株式会社  
千葉県松戸市根本8番地の15  
(72)発明者 神谷 昌明  
千葉県松戸市根本8番地の15 インターチップ株式会社内  
(72)発明者 斎藤 壇  
千葉県松戸市根本8番地の15 インターチップ株式会社内  
(74)代理人 100101236  
弁理士 栗原 浩之

(54)【発明の名称】 MOS型キャパシタ及び半導体集積回路装置

(57)【要約】

【課題】 新規MOS型キャパシタ及びこれを用いることにより広範囲の周波数可変のでき、かつ集積化容易な電圧制御型発振器(VCO)の集積回路装置を提供する。

【解決手段】 一方の電極となる第1導電型半導体領域5.1上に容量絶縁膜5.4を介して他方の電極となる導電体層5.3を有し、前記第1導電型半導体基板5.1の前記導電体層5.3に対向する領域に近接した表面近傍に第2導電型不純物領域5.2を有するMOS型キャパシタをVCOを構成する可変容量キャパシタとする。



## 【特許請求の範囲】

【請求項1】一方の電極となる第1導電型半導体領域上に容量絶縁膜を介して他方の電極となる導電体層を有し、前記第1導電型半導体基板の前記導電体層に対向する領域に近接した表面近傍に第2導電型不純物領域を有することを特徴とするMOS型キャパシタ。

【請求項2】請求項1において、前記導電体層に制御電圧を印加することにより、容量要素としての容量値が変化することを特徴とするMOS型キャパシタ。

【請求項3】請求項2において、前記第2導電型不純物領域に直流電圧を印加した状態で用いられることを特徴とするMOS型キャパシタ。

【請求項4】請求項3において、前記直流電圧は前記第1導電型半導体基板及び第2導電型不純物領域からなるダイオードの逆方向電圧となっていることを特徴とするMOS型キャパシタ。

【請求項5】請求項1～4の何れかにおいて、前記導電体層は、フラットバンド電圧が0V近傍となるように設けられていることを特徴とするMOS型キャパシタ。

【請求項6】請求項1～5の何れかにおいて、前記第1導電型半導体の少なくとも前記ゲート電極に対向する領域の表面近傍に、第1導電型の高濃度層を有することを特徴とするMOS型キャパシタ。

【請求項7】請求項1～6の何れかにおいて、前記第1導電型半導体基板の前記導電体層に対向する領域の周辺近傍に第1導電型の高濃度領域を有することを特徴とするMOS型キャパシタ。

【請求項8】同一の半導体基板上に、発振用増幅器及び制御電圧により容量値を可変できる可変容量キャパシタを少なくともその構成要素とする電圧制御発振回路を搭載した半導体集積回路装置において、前記可変容量キャパシタは、一方の電極となる第1導電型半導体領域上に容量絶縁膜を介して他方の電極となる導電体層を有すると共に該導電体層に近接して前記第1導電型半導体基板表面近傍に第2導電型不純物領域を有する構造を有するMOS型キャパシタからなる容量要素を有することを特徴とする半導体集積回路装置。

【請求項9】請求項8において、前記MOS型キャパシタは、前記導電体層に制御電圧を印加することにより、容量要素としての容量値が変化することを特徴とする半導体集積回路装置。

【請求項10】請求項9において、前記MOS型キャパシタは、前記第2導電型不純物領域に直流電圧を印加した状態で用いられることを特徴とする半導体集積回路装置。

【請求項11】請求項10において、前記MOS型キャパシタは、前記直流電圧は前記第1導電型半導体基板及び第2導電型不純物領域からなるダイオードの逆方向電圧となっていることを特徴とする半導体集積回路装置。

【請求項12】請求項8～11の何れかにおいて、前記MOS型キャパシタは、前記導電体層がフラットバンド電圧が0V近傍となるように設けられたものであることを特徴とする半導体集積回路装置。

【請求項13】請求項8～12の何れかにおいて、前記MOS型キャパシタは、前記第1導電型半導体の少なくとも前記ゲート電極に対向する領域の表面近傍に、第1導電型の高濃度層を有することを特徴とする半導体集積回路装置。

【請求項14】請求項8～13の何れかにおいて、前記MOS型キャパシタは、前記第1導電型半導体基板の前記導電体層に対向する領域の周辺近傍に第1導電型の高濃度領域を有することを特徴とする半導体集積回路装置。

【請求項15】請求項8～14の何れかにおいて、前記MOS型キャパシタは、MOS集積回路あるいはCMOS集積回路を作る工程で作られていることを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電子機器等に使用される、水晶振動子、セラミック振動子などを利用した電圧により発振周波数の制御ができる発振回路（以下、VCO（Voltage Controlled Oscillator）と称する）に関し、特に半導体集積回路装置にした場合において、制御電圧による発振周波数の可変範囲を大きくでき、電子機器の精密な調整を容易にし、低コスト化を図ることができるようとしたものである。

## 【0002】

【従来の技術】図8は、標準的なATカット水晶を用いた水晶発振回路の発振周波数の温度変動を表すグラフである。縦軸は25°Cの周波数を $f_0$ とした時の温度変動 $\Delta f / f_0$  (ppm) を示し、横軸は温度 (°C) である。このグラフからわかるように、例えば-40°Cから+90°Cの間で±(プラス・マイナス) 40 ppmの変動がある。さらに同一条件で量産したATカット水晶振動子の個体間にも30～50 ppm程度の発振周波数の偏差がある。これらの要因で発振周波数がねらいの周波数から偏移すると、近年の電子機器、特に無線電波を使用する携帯電話や携帯情報端末などの発振周波数として使用した場合、数々の問題が生じることになる。従って、発振周波数を例えば±10 ppm以内、さらには1 ppm以内に調整するためには、制御電圧により発振周波数を変えることのできる機能を持つVCOが使われている。

【0003】図9は、水晶振動子やセラミック振動子を用いたVCOの代表的な回路図である。かかる回路は、外部に接続される水晶振動子110を接続するための外部接続端子121及び122を有する。また、CMOS

インバータ123を有し、このCMOSインバータ123は、その入力側端子124と出力側端子125との間に接続されたバイアス抵抗R<sub>f</sub>126と一緒に增幅回路を構成する。この増幅回路の出力端となる出力側端子125と外部接続端子122との間には、抵抗R<sub>d</sub>127(1MHz以上の高い周波数の発振回路の場合は省くことも多いが、発振周波数の安定化のためにはあった方が良い)が接続されている。また、外部接続端子122には、容量C<sub>d</sub>128が接続され、その間に設けられたC<sub>o</sub>容量接続端子129には、外付けで調整用外付け付加容量C<sub>o</sub>115(必要がなければ不要)が接続されている。一方、外部接続端子121には、直流電圧を遮断する容量C<sub>p</sub>130を介して容量C<sub>g</sub>131、可変容量素子としてのPN接合キャパシタ(PN接合ダイオードと同じ構成である)D<sub>i</sub>132、及び抵抗R<sub>i</sub>133が接続され、抵抗R<sub>i</sub>133の他端がV<sub>c</sub>端子134となっている。

【0004】ここで、抵抗R<sub>d</sub>127、水晶振動子110、容量C<sub>d</sub>128、調整用外付け付加容量C<sub>o</sub>115、容量C<sub>g</sub>131、可変容量素子としてのPN接合キャパシタD<sub>i</sub>132、及び容量C<sub>p</sub>130は共振回路を構成し、かかる共振回路は、CMOSインバータ123及びバイアス抵抗R<sub>f</sub>126などで構成される増幅回路により駆動されるようになっている。また、前記共振回路からの出力は、前記増幅回路の出力側に接続された水晶振動子110の反対側端子が接続された外部接続端子121から前記増幅回路の入力側端子124に帰還される構成となっている。さらに、周波数制御電圧は、V<sub>c</sub>端子134より、抵抗R<sub>i</sub>133を介して、PN接合キャパシタD<sub>i</sub>132に入力される構成となっている。

【0005】このような回路では、前記共振回路を構成する容量C<sub>d</sub>128、調整用外付け容量抵抗C<sub>o</sub>115、容量C<sub>g</sub>131、PN接合キャパシタD<sub>i</sub>132及び直流遮断容量C<sub>p</sub>130からなる合成容量が発信周波数f<sub>0</sub>を決定する。従って、V<sub>c</sub>端子134から入力される電圧により可変容量としてのPN接合キャパシタD<sub>i</sub>132の容量を変化させ、これにより発信周波数f<sub>0</sub>を変更することができる。

【0006】ここで、PN接合キャパシタD<sub>i</sub>132の電圧-容量特性(C-V特性)を図4の曲線72に示す。図4において、横軸が制御電圧、縦軸が容量値を示し、制御電圧0~4Vの範囲で単位面積あたりの容量の変化量は大略2倍程度である。

#### 【0007】

【発明が解決しようとする課題】上述したように、可変容量素子としてのPN接合キャパシタでは、制御電圧を0Vから4V程度としたときの容量変化は大略2倍であり、この容量変化量では、水晶振動子を考えた場合、発振周波数の可変幅△f/f<sub>0</sub>は±80ppm程度となる。

【0008】これに対し、発振周波数の周波数偏移は上述した温度変動や振動子の製造ばらつきの他にも幾つかの要因があるため、±80ppm程度の補正量では不充分な場合が多く、望ましくは±100ppmから±200ppmの変化量が必要である。もちろんPN接合キャパシタでも、PN接合近傍の不純物の濃度プロファイルに工夫を加えることで大きな容量変化率をもつPN接合キャパシタを作ることは可能であるが、そのようなPN接合キャパシタを、増幅器等を構成するMOS回路とかCMOS回路等と同一の半導体基板上に形成するのは、多くの困難を伴う。

【0009】補正量を大きくするその他の手段としてはPN接合キャパシタを複数個用意して切換えるなどの措置も考えられるが、チップサイズの増大や補正システムの複雑化につながるものである。

【0010】この他にPN接合キャパシタの抱える問題としては、V<sub>c</sub>端子134にかける直流電圧が0Vの近傍にある時に、発振回路の振動振幅が0.6Vを越えて大きくなると、PN接合キャパシタはダイオードと同じ構造を有するためダイオードの順方向電流が流れ、これが発振周波数の安定性を失わせるという弊害を挙げることができる。

【0011】一方、可変容量としてMOS型キャパシタが知られている。このMOS型キャパシタは、図10に示すような構成を有する。

【0012】図10はMOS型キャパシタを表す模式的断面図である。P型半導体基板151には、MOSキャパシタを構成するポリシリコンゲート電極153が絶縁膜154を介して設けられている。

【0013】かかるMOS型キャパシタでは、ゲート電極153に+(プラス)電圧が印加されると、P型半導体基板151内の表面近傍に空乏層155が形成され、さらにゲート電極153に印加される電圧が増加すると、基板表面に強反転層が形成されて、空乏層155の厚みは印加電圧に依らずに飽和する。

【0014】ここで、MOS型キャパシタの容量値C<sub>o</sub>は、絶縁膜154の容量C<sub>o</sub>と、空乏層155の容量との直列合成容量である。従って、合成容量はゲート電極153に印加される電圧と共に初めのうちは減少するが、強反転層が形成されると共に飽和してしまうという問題がある。

【0015】本発明は、このような事情に鑑み、このような問題を解決することのできるMOS型キャパシタ及びそれを用いた半導体集積回路装置を提供することを課題とする。

#### 【0016】

【課題を解決するための手段】前記課題を解決する本発明の第1の態様は、一方の電極となる第1導電型半導体領域上に容量絶縁膜を介して他方の電極となる導電体層を有し、前記第1導電型半導体基板の前記導電体層に対

向する領域に近接した表面近傍に第2導電型不純物領域を有することを特徴とするMOS型キャパシタにある。

【0017】本発明の第2の態様は、第1の態様において、前記導電体層に制御電圧を印加することにより、容量要素としての容量値が変化することを特徴とするMOS型キャパシタにある。

【0018】本発明の第3の態様は、第2の態様において、前記第2導電型不純物領域に直流電圧を印加した状態で用いられることを特徴とするMOS型キャパシタにある。

【0019】本発明の第4の態様は、第3の態様において、前記直流電圧は前記第1半導体基板及び第2不純物領域からなるダイオードの逆方向電圧となっていることを特徴とするMOS型キャパシタにある。

【0020】本発明の第5の態様は、第1～4の何れかの態様において、前記導電体層は、フラットバンド電圧が0V近傍となるように設けられていることを特徴とするMOS型キャパシタにある。

【0021】本発明の第6の態様は、第1～5の何れかの態様において、前記第1導電型半導体の少なくとも前記ゲート電極に対向する領域の表面近傍に、第1導電型の高濃度層を有することを特徴とするMOS型キャパシタにある。

【0022】本発明の第7の態様は、第1～5の何れかの態様において、前記第1導電型半導体基板の前記導電体層に対向する領域の周辺近傍に第1導電型の高濃度領域を有することを特徴とするMOS型キャパシタである。

【0023】本発明の第8の態様は、同一の半導体基板上に、発振用增幅器及び制御電圧により容量値を可変できる可変容量キャパシタを少なくともその構成要素とする電圧制御発振回路を搭載した半導体集積回路装置において、前記可変容量キャパシタは、一方の電極となる第1導電型半導体領域上に容量絶縁膜を介して他方の電極となる導電体層を有すると共に該導電体層に近接して前記第1導電型半導体基板表面近傍に第2導電型不純物領域を有する構造を有するMOS型キャパシタからなる容量要素を有することを特徴とする半導体集積回路装置である。

【0024】本発明の第9の態様は、第8の態様において、前記MOS型キャパシタは、前記導電体層に制御電圧を印加することにより、容量要素としての容量値が変化することを特徴とする半導体集積回路装置である。

【0025】本発明の第10の態様は、第9の態様において、前記MOS型キャパシタは、前記第2導電型不純物領域に直流電圧を印加した状態で用いられることを特徴とする半導体集積回路装置である。

【0026】本発明の第11の態様は、第10の態様において、前記MOS型キャパシタは、前記直流電圧は前記第1半導体基板及び第2不純物領域からなるダイオードの逆方向電圧となっていることを特徴とする半導体集積回路装置である。

ドの逆方向電圧となっていることを特徴とする半導体集積回路装置にある。

【0027】本発明の第12の態様は、第8～11の何れかの態様において、前記MOS型キャパシタは、前記導電体層がフラットバンド電圧が0V近傍となるように設けられたものであることを特徴とする半導体集積回路装置にある。

【0028】本発明の第13の態様は、第8～11の何れかの態様において、前記MOS型キャパシタは、前記第1導電型半導体の少なくとも前記ゲート電極に対向する領域の表面近傍に、第1導電型の高濃度層を有することを特徴とする半導体集積回路装置にある。

【0029】本発明の第14の態様は、第8～13の何れかの態様において、前記MOS型キャパシタは、前記第1導電型半導体基板の前記導電体層に対向する領域の周辺近傍に第1導電型の高濃度領域を有することを特徴とする半導体集積回路装置にある。

【0030】本発明の第15の態様は、第8～14の何れかの態様において、前記MOS型キャパシタは、MOS集積回路あるいはCMOS集積回路を作る工程で作られていることを特徴とする半導体集積回路装置にある。

【0031】本発明の新規なMOS型キャパシタは、電圧制御の可変容量素子として、PN接合型キャパシタの代わりに用いることができる。かかる新規のMOS型キャパシタは、上述したとおりであるが、半導体基板上に形成された絶縁膜（MOSトランジスタのゲート絶縁膜と同様の工程で作成されたものでも良い）を介してポリシリコンあるいは高融点金属シリサイドなどで形成された導電性電極（ゲート電極）を有する構造で、且つ該ゲート電極に平面的形状で隣接して、すなわち、ゲート電極に対向する領域に隣接して、該半導体基板がP型半導体基板の場合にはそれと反対の導電型のN型不純物領域を有する構造をとり、該N型不純物領域に電圧を印加できる構成を有する。このような新規MOS型キャパシタは、VCOの電圧制御の可変容量素子に用いるのが好適である。

### 【0032】

【発明の実施の形態】以下、本発明の好適な実施形態を図面を参照して説明する。

【0033】図1は、本発明の一実施形態に係る半導体集積回路装置の回路図であり、セラミック振動子あるいは水晶振動子を外部に接続して用いるVCO回路を表す。かかる回路は、従来技術として説明した図9の回路図における可変容量素子であるPN接合キャパシタD1～D2を新規構造のMOS型キャパシタ50で置き換えた回路構成となっている。よって、図9と同一作用を有する部分には同一符号を付して重複する説明は省略する。

【0034】かかるVCO回路では、図9に示した従来VCO回路の場合と同様に、周波数制御電圧は、Vc端

子134より抵抗R133を介して、MOS型キャパシタ50に入力され、該MOS型キャパシタ50は、共振回路を構成する容量Cd128、調整用外付け容量抵抗C0115、容量Cg131、及び直流遮断容量Cp130などと一体となって合成容量を形成し、発信周波数f0を決定している。本実施形態においては、かかる構成をとることにより、以下の機能・効果が得られる。

【0035】ここで、本実施形態に係る新規MOS型キャパシタ50の構造について説明する。図2は新規MOS型キャパシタ50の構造を表す模式的断面図である。

【0036】P型半導体基板51には、MOSキャパシタを構成するポリシリコンゲート電極53が絶縁膜54を介して設けられている。また、P型半導体基板51のゲート電極53に対向する領域に近接してN<sup>+</sup>型不純物領域52が形成されている。また、絶縁膜54のN<sup>+</sup>型不純物領域52に対向する領域にはコンタクトホール54aが形成され、N<sup>+</sup>型不純物領域52に電圧を印加できるようになっている。なお、図2には、これらの他に、新規MOS型キャパシタの動作を説明するため、ゲート電極53の電圧により現れる空乏層領域55及び半導体基板51が強反転状態になったときに現れる表面電荷56も図示してある。

【0037】ここで、MOS型キャパシタの容量値Cは、絶縁膜54の容量C<sub>0</sub>と、空乏層55の容量との直列合成容量である。従って、合成容量はゲート電極53に印加される電圧と共に減少する。

【0038】このとき、N<sup>+</sup>型不純物領域52を有さない従来のMOS型キャパシタ（図10参照）では、強反転層が形成されると共に容量の低下が飽和してしまうという問題がある。

【0039】なお、ここでいう強反転状態とは、基板内部からの少数キャリア（P型基板の場合にはe：エレクトロン）のビルドアップにより、基板の表面電位がゲート電極53に印加される電圧に依らず熱平衡状態の電位（約0.6V）に固定された状態と考えることができる。

【0040】一方、本実施形態のMOS型キャパシタでは、N<sup>+</sup>型不純物領域52が上述したようにゲート電極53に対向する領域に近接して設けてあり、このN<sup>+</sup>型不純物領域52に、P型基板51とN<sup>+</sup>型不純物領域52とからなるダイオードの逆方向電圧をバイアスすると、基板表面に集まつくる少数キャリアは、逆方向にバイアスされたN<sup>+</sup>型不純物領域52に吸収されてしまい、強反転状態になりにくくなる。即ち、逆方向にバイアスされたN<sup>+</sup>型不純物領域52のおかげで、ゲート電極53に印加する電圧の増加に対し空乏層の厚みは飽和することなく成長する。例えば、この逆方向電圧として、N<sup>+</sup>型不純物領域52にVdd（=5V）がバイアスされている場合には、P型基板51に対して空乏層表面の電位が5.6Vになるまで、空乏層の厚みは成長を続

ける。したがって、本発明にかかるMOS型キャパシタでは、容量値Cの可変幅を大きく取ることが可能となる。

【0041】この様子を図3に示す。横軸はゲート電極に印加された制御電圧、縦軸はゲート電極からみたMOSキャパシタの微分容量C（微小振幅の交流信号に対する容量）と絶縁膜のみできる容量C<sub>0</sub>の比（相対的容量）を示す。

【0042】曲線6-1は、本発明の新規MOS型キャパシタの容量変化を示し、曲線6-2は、図10に示した従来技術にかかるMOS型キャパシタの容量変化を示す。このグラフより、本発明のMOS型キャパシタでは、ゲート電圧に印加される電圧と共に相対容量が低下することが明らかである。

【0043】図4は本発明のMOS型キャパシタとPN接合型キャパシタとのC-V特性を比較する模式的グラフである。横軸は印加電圧（V）、縦軸は単位面積あたりの容量を示している。

【0044】本発明のMOS型キャパシタのC-V特性は曲線7-1となり、PN型キャパシタのC-V特性7-2となる。このグラフより、同じ印加電圧範囲において、本発明のMOS型キャパシタのC-V特性は、PN型キャパシタのC-V特性と比べて、大きな容量変化率を示していることが明らかである。

【0045】図5(a)はVCO回路部におけるCgとCdなどからなる合成容量C<sub>1</sub>に対するVCOの発振周波数変化を表す模式的グラフである。横軸は該合成容量C<sub>1</sub>、縦軸はVCOの発振周波数f<sub>0</sub>(MHz)を表している。図5(b)は、図8の従来のVCOと図1の本発明にかかるVCOとの、可変容量素子に印加される電圧と発振周波数変化の関係（以下、周波数可変特性と称す。）を表すグラフである。横軸が印加電圧、縦軸が発振周波数である。

【0046】図示するようにPN接合型キャパシタによる周波数可変特性8-2では、周波数調整範囲が印加電圧0から4Vの範囲で約±80ppmであるのに対し、本発明のMOS型キャパシタによる容量要素による周波数可変特性8-1の場合、2倍以上の周波数可変幅をとることも可能となる。

【0047】ここで、一般に使用されるVCO回路においては、制御電圧は单極性であり、図1の場合について言えば、0V～+3Vあるいは-4Vまでの電圧を使い、負の電圧は使用しない。従って、この正の電圧範囲で容量の可変幅を大きく取るには、制御電圧0Vの時の容量C<sub>i</sub>65を大きくすればよいことになる。この容量C<sub>i</sub>65を大きくするには、3つの手段がある。

【0048】第1の手段は、図3に示したフラットバンド電圧V<sub>FB</sub>66を0Vに近づけることであり、そのためには、例えば、ゲート電極53を、P型基板と仕事関数の同じ材料、あるいは同じ導電型のシリコン電極などで

形成すればよい。このように構成することにより、フラットバンド電圧  $V_{FB}$  6.6を0Vに近づけることができ、容量  $C_i$  6.5を大きくすることができる。

【0049】第2の手段は、P<sup>+</sup>基板51の表面近傍をイオン注入などの手段により、濃いP型層を作り、ゲート電極53が0V以下の空乏層の厚みを薄く抑えることである。すなわち、図6に示すように、ゲート電極53に対向する領域にP<sup>+</sup>型層57を設けることにより、ゲート電極53が0V以下の空乏層の厚みを薄く抑えることができ、容量  $C_i$  6.5を大きくすることができる。

【0050】第3の手段は、第2の手段と組み合わせて使うのが効果的であるが、P<sup>+</sup>基板51の不純物濃度をできるだけ薄くする。これにより、ゲート電極53に正の電圧がかかったときの空乏層を厚くなるようにすることができ、制御電圧が大きいときの容量値が減少するため、容量の変化幅を大きくすることができる。

【0051】次に、さらに容量特性を向上させた構造の一例を図7を参照して説明する。

【0052】MOS型キャパシタの容量変化幅を大きくしたい場合、P<sup>+</sup>型基板51の不純物濃度は薄い方が望ましいことは述べたが、一方、P<sup>-</sup>型基板51の不純物濃度が薄い場合、P<sup>+</sup>型基板51と基板表面のゲート電極53との間に、寄生抵抗が挿入され、この抵抗が大きいと発振器の動作に重大な悪影響を及ぼすことになる。この例は、この寄生抵抗を減少させるために、P<sup>+</sup>型基板51のゲート電極53に対向する領域の周辺近傍にP<sup>+</sup>型の高濃度領域であるP<sup>+</sup>領域58を設けたものである。

【0053】かかるP<sup>+</sup>領域58は上述した寄生抵抗を減少させる目的で形成されるので、図7(a)に例示したように、該P<sup>+</sup>領域58はできるだけゲート電極53に対向する領域の近くで、かつゲート電極53に対向する領域との境界を長く取れるよう配置すれば、寄生容量を無視できる程度まで下げることができる。従って、この例では、ゲート電極53の長手辺側の両側にP<sup>+</sup>領域58を設け、N<sup>-</sup>型不純物領域52を短手辺側に近接して設けている。なお、この構造は、前記第3の手段を講じたときに特に大きな効果を發揮する。

【0054】図7(a)、(b)では、P<sup>+</sup>領域58はゲート電極53から少し離して形成しているが、図7(c)に示すように自己整合的に形成してもよい。

【0055】以上説明した本発明にかかるMOS型キャパシタは、大きな容量可変幅を有するということに加えて、容量素子として以下のような優位性を持っている。PN接合型キャパシタは、PN接合にかかる電圧がマイナス側(ダイオードの順方向電圧側)に振れた場合、順方向電流が流れそのため、抵抗成分をもつ低品質の容量となってしまうという問題がある。一方、本構成例のMOS型キャパシタではゲート電極と半導体基板が絶縁膜によ

り隔てられているため、そういう問題もないことが判る。

【0056】最後に、本発明にかかるMOS型キャパシタを作る方法について述べる。図2に示されているようにMOS型キャパシタはNMOSトランジスタの構造に極めて類似している(NMOSトランジスタのドレインあるいはソースの一方がない構造である)ことからわかるように、容量絶縁膜54はMOSトランジスタのゲート酸化膜を作る工程で形成でき、N<sup>-</sup>の不純物領域52はNMOSトランジスタのソース・ドレインを作る工程で形成できる。ここで、MOS型キャパシタにおけるN<sup>-</sup>型不純物領域52は、該ゲート電極53に対して近接しながらも最小限のオーバーラップ(オーバーラップ部分は不用な容量となる)に抑える構成とするのが望ましいが、同一半導体基板内に形成されるNMOSトランジスタを作る方法と同様に、ゲート電極53に対して自己整合的にイオン注入方式で導入することでほぼ理想的な構造を作ることができる。

【0057】また、図7(a)及び(b)に示したP<sup>+</sup>領域58はCMOS集積回路装置においては、PMOSトランジスタのソース・ドレインを作る工程で同時に形成することが可能である。

【0058】さらに、MOS型キャパシタの可変幅を大きくする手段として上述した、MOS型キャパシタのフラットバンド電圧  $V_{FB}$  を0V近傍にすることも、同極ゲートCMOS集積回路を作るプロセスであれば、容易に達成できる。同極ゲートCMOSプロセスでは、NMOSトランジスタのゲート電極としてP<sup>+</sup>ポリシリコンを使うため、図2及び図7のゲート電極にそのP<sup>+</sup>ポリシリコンを使えば良い。このようにフラットバンド電圧  $V_{FB}$  を0V近傍としてMOS型キャパシタを作るに際しても特別の工程を必要としないようにすることも可能である。

【0059】しかし、同極ゲートCMOSプロセスは一般的ではないため、MOS型キャパシタの可変幅を大きくするために、図6に示すように、P<sup>+</sup>型基板表面近傍にP型の高濃度層(P<sup>+</sup>型層57)を形成する場合について述べる。この高濃度層を作る一番簡単な方法は、通常のNMOSトランジスタを作る時に、その閾値調整のためNMOSトランジスタのチャンネル領域にP型不純物をイオン注入により導入しているので、その時同時にMOS型キャパシタの基板表面にもP型不純物のイオン注入をおこなえばよい。この方法で実用上問題のないレベルまでMOS型キャパシタの可変幅を大きくすることができます。

【0060】以上述べたように、本発明にかかるMOS型キャパシタは、十分に大きな容量可変幅のある構造を作る上でも、通常のMOS及びCMOS集積回路の製造工程に特別の工程を付加することなく形成可能である。

【0061】以上、実施例を用いた説明においては、本発明のMOS型キャパシタをP<sup>-</sup>基板上に形成した場合について説明したが、かかるMOS型キャパシタはPウェル上に作製することも可能であり、また、N基板やNウェル上に上記の実施例と逆の不純物領域を形成することで、電気的に逆の極性を有するMOS型キャパシタを作ることができることは言うまでもない。

#### 【0062】

【発明の効果】以上、本発明の実施形態と共に詳細を述べたように、本発明によれば、周波数可変幅を大きく取れるMOS型キャパシタが実現でき、VCO回路を構成する半導体集積回路装置に好適に用いることができる。また、かかる構成は、他の回路との集積化が容易で、小型化、低コストを可能とするものである。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態に係るVCO回路部を表す回路図及び模式図である。

【図2】本発明の一実施形態のVCXO回路部における新規のMOS型キャパシタを表す模式的断面図である。

【図3】本発明にかかる新規MOS型キャパシタのC-V特性を説明する模式的グラフである。

【図4】従来のVCO回路及び本発明にかかるVCO回路の発振周波数と制御電圧の関係を比較した模式的グラフである。

【図5】本発明にかかるVCO回路部におけるC<sub>g</sub>とC<sub>d</sub>などからなる合成容量C<sub>l</sub>に対する発振周波数の変化を表す模式的グラフ、及びPN接合キャパシタを用いたVCOと新規MOS型キャパシタを用いたVCOの各容量要素に印加される電圧とそれぞれの発振周波数の変化を比較したグラフである。

【図6】他の実施形態に係るMOS型キャパシタの構造を表す模式的断面図である。

【図7】他の実施形態に係るMOS型キャパシタの構造を表す模式的平面図と断面図である。

【図8】標準的なATカット水晶の発振周波数の温度変化を表すグラフである。

【図9】従来技術のVCOの代表的回路図である。

【図10】従来技術に係るMOS型キャパシタの模式的断面図である。

#### 【符号の説明】

50 新規構造のMOS型キャパシタ

51 P<sup>-</sup>基板

52 N<sup>+</sup>型不純物領域

53 ゲート電極

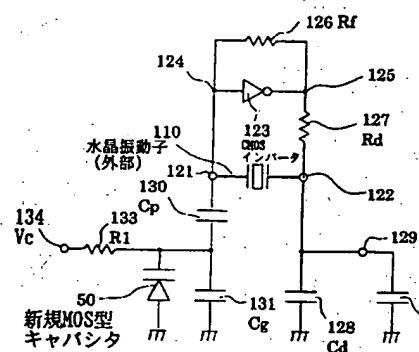
110 水晶振動子

121 及び 122 水晶振動子接続用の端子

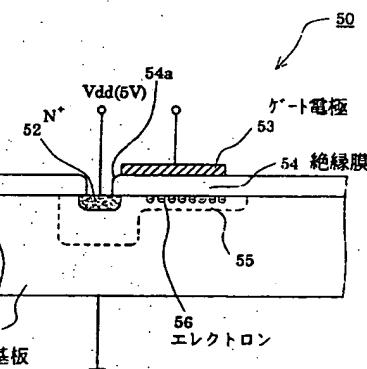
123 CMOSインバータ

134 V<sub>c</sub> 発振周波数の制御電圧印加端子

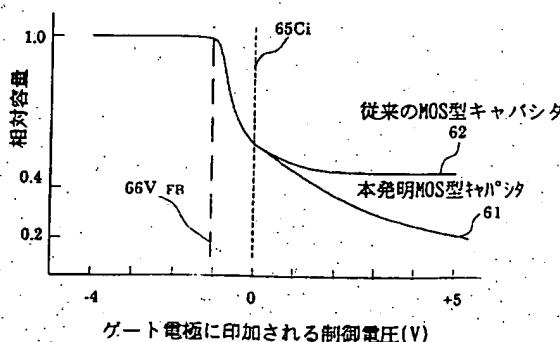
【図1】



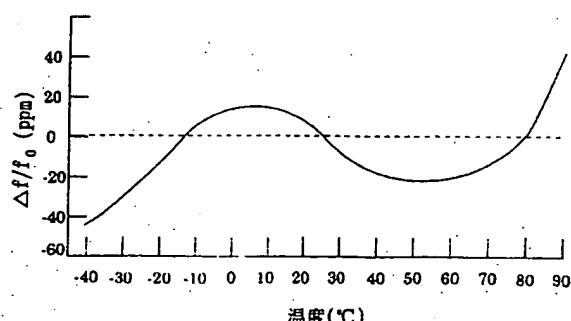
【図2】



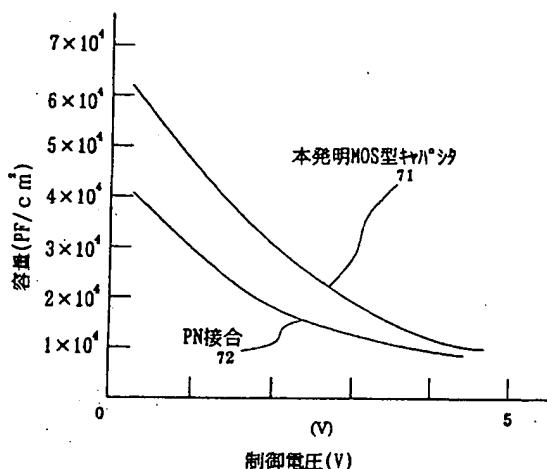
【図3】



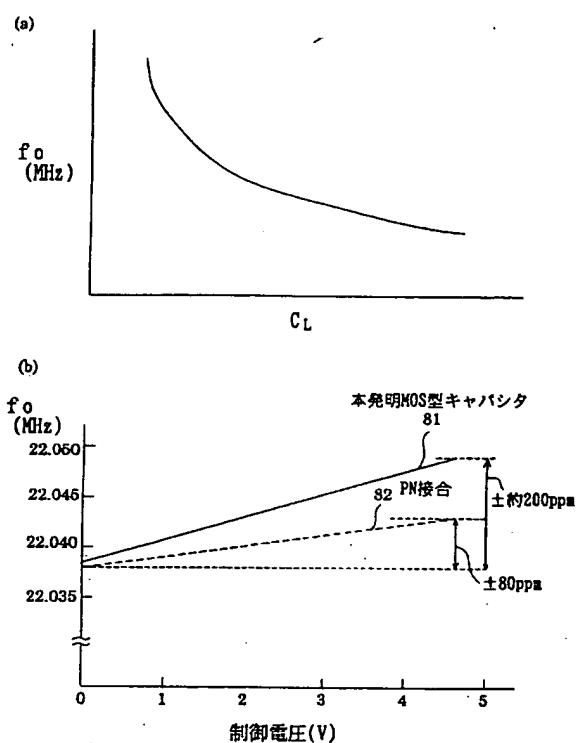
【図4】



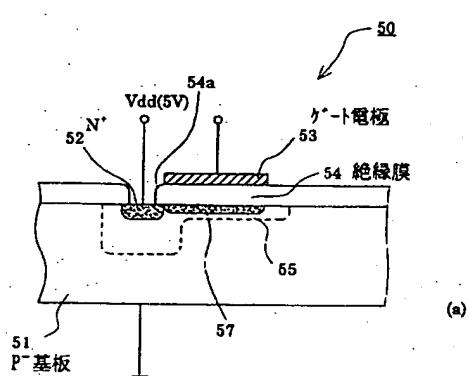
【図4】



【図5】

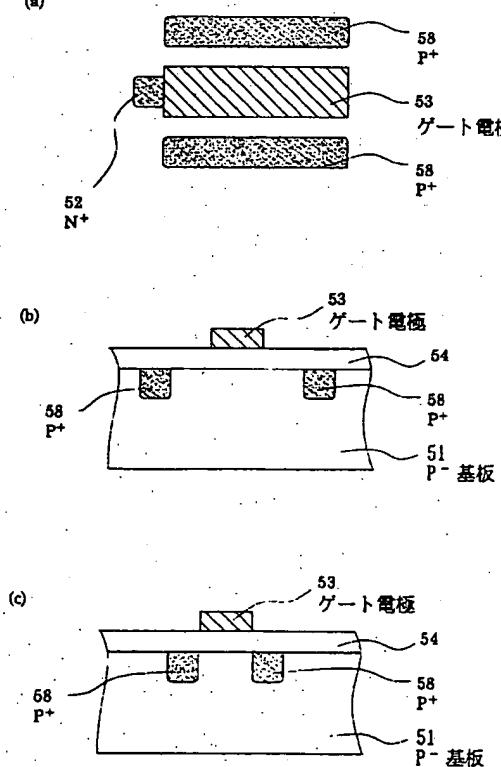


【図6】

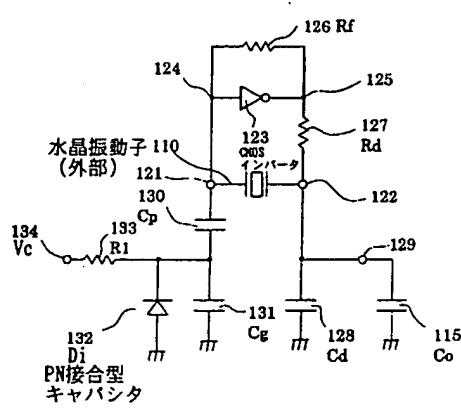


(a)

【図7】



【図9】



【図10】

